

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl. 6
 G01R 31/26

(11) 공개번호 특2000-0059512
 (43) 공개일자 2000년 10월 05일

(21) 출원번호 10-1999-0007156
 (22) 출원일자 1999년 03월 04일

(71) 출원인 현대반도체 주식회사 김영환
 충청북도 청주시 흥덕구 향정동 1번지
 (72) 발명자 유대영
 서울특별시 강남구역삼동 830-33104호
 (74) 대리인 양순석
 심사청구 : 없음

(54) 집적회로의 테스트스캔 회로

요약

본 발명은 집적회로의 테스트스캔 장치에 관한 것으로서 테스트 모드를 셋팅신호를 입력 받는 데스트인에이블단자(test_enable)와 스캔입력단자(Scan-in)를 통하여 스캔패턴을 입력 받아 N개의 스캔패턴(scan pattern1 ~ scan pattern)을 출력하는 스캔데이터발생수단과, 상기 데스트인에이블단자(test_enable)와 N개의 스캔패턴(scan pattern1 ~ scan pattern)을 각각 입력 받아 N개의 스캔출력단자(Scan-out1 ~ Scan-outN)로 각각 출력하는 제1 ~ 제N 스캔체인(Scan-chain1 ~ Scan-chainN)으로 구성된다. 상기 스캔데이터발생수단은 N-1 개의 플립플롭과 N-bit 레지스터를 가지고 스캔체인의 수에 관계없이 스캔패턴을 입력 받는 스캔입력단자를 하나만을 가지는 이점을 가진다.

대표도

도2

색인어

집적회로의 테스트스캔 회로

명세서

도면의 간단한 설명

도 1은 종래의 집적회로의 테스트스캔 회로의 회로도

도 2는 본 발명에 따른 집적회로의 테스트스캔 회로의 회로도

도 3은 도 2의 스캔데이터발생수단의 구체 회로도

* 도면의 주요 부분에 대한 부호의 설명 *

10 : 종래의 집적회로의 테스트스캔 회로

100 : 본 발명에 따른 집적회로의 테스트스캔 회로

110 : 스캔데이터발생수단 111 : N-bit 레지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 집적회로의 테스트스캔 회로에 관한 것으로서, 특히 하나의 스캔입력을 이용하여 다수개의 스캔체인을 효율적으로 구성할 수 있는 집적회로의 테스트스캔 회로에 관한 것이다.

도 1은 종래의 집적회로의 테스트스캔 회로의 회로도이다.

상기 종래의 집적회로의 테스트스캔 회로(10)는 데스트인에이블단자(test_enable)를 통하여 입력되는 테스트 모드 셋팅신호와 N개의 스캔입력단자(Scan-in1 ~ Scan-inN)를 통하여 입력되는 N개의 스캔패턴과 테스트_클럭(test_clock)을 각각 입력받아 입력된 스캔패턴을 N개의 스캔출력단자(Scan-out1 ~ Scan-outN)로 각각 출력하는 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)으로 구성된다.

상기 각각의 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)은 집적회로내부의 수많은 멀티플렉스 플립플롭(multiplex flip-flop)들이 데스트인에이블단자(test_enable)에 의하여 1/N개로 나뉜 플립플롭이 체인형태로 구성된다.

상기 종래의 집적회로의 테스트스캔 회로(10)는 다음과 같이 동작한다.

테스트 모드 셋팅신호가 인가되어 N개의 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)을 테스트 모드로 셋팅한다.

이후 테스트_클럭(test_clock)이 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)의 멀티플렉스 플립플롭(multiplex flip-flop)의 수 만큼의 인가되어 쉬프트 동작(shift operation)을 한다. 이때 N개의 스캔입력단자(Scan-in1 ~ Scan-inN)를 통하여 입력된 스캔패턴은 상기 각각의 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)에 세팅된다.

이후 테스트_클럭(test_clock)이 인가되어 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)의 모든 멀티플렉스 플립플롭(multiplex flip-flop)은 입력된 각각의 스캔패턴이 저장된다.

이후 테스트_클럭(test_clock)이 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)의 멀티플렉스 플립플롭(multiplex flip-flop)의 수 만큼의 인가되어 상기 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)저장된 스캔패턴은 N개의 스캔출력단자(Scan-out1 ~ Scan-outN)로 각각 출력된다.

또한 상기 스캔패턴이 출력되는 동안 또 다른 스캔패턴이 N개의 스캔입력단자(Scan-in1 ~ Scan-inN)를 통하여 입력되어 상기 각각의 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)에 세팅된다.

상기 출력되는 스캔패턴은 외부의 장치를 통하여 미리 가지고 있던 결과 값과 비교된다.

상기 동작은 연속적으로 일어난다.

그러나, 종래의 집적회로의 테스트스캔 회로는 집적회로의 테스트 시간을 단축하기 위하여 스캔체인(Scan-chain)의 수를 증가시킬 경우 테스트시간은 1/스캔체인(Scan-chain)의 수만큼 줄어들지만 별도의 스캔입력단자(Scan-in)를 추가로 확보해야하는 문제점을 가진다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상술한 종래 회로의 문제점을 해결하기 위하여 안출된 것으로서, 스캔체인(Scan-chain)의 수에 관계없이 한 개의 스캔입력단자(Scan-in)를 가지고도 동일한 동작이 가능한 집적회로의 테스트스캔 회로를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명에 따른 집적회로의 테스트스캔 회로는 데스트인에이블단자(test_enable)를 통하여 입력되는 테스트 모드 셋팅신호와 테스트_클럭(test_clock)과 상기 테스트_클럭(test_clock)보다 N배의 빠른 주기를 가지는 클럭(N_bit_clock) 및 하나의 스캔입력단자(Scan-in)를 통하여 입력되는 스캔패턴을 입력받아 N개의 스캔패턴단자(scan pattern1 ~ scan pattern)를 출력하는 스캔데이터발생수단과, 상기 테스트 모드 셋팅신호와 테스트_클럭(test_clock)과 N개의 스캔패턴(scan pattern1 ~ scan pattern)을 각각 입력받아 N개의 스캔출력단자(Scan-out1 ~ Scan-outN)로 각각 출력하는 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)으로 구성된다. 상기 스캔데이터발생수단은 N-1 개의 플립플롭과 N-bit 레지스터를 가지고 구성된다.

발명의 구성 및 작용

이하, 도면을 참고하여 본 발명에 따른 집적회로의 테스트스캔 회로를 상세히 설명한다.

도 2는 본 발명에 따른 집적회로의 테스트스캔 회로의 회로도이다.

본 발명에 따른 집적회로의 테스트스캔 회로(100)는 데스트인에이블단자(test_enable)를 통하여 입력되는 테스트 모드 셋팅신호와 테스트_클럭(test_clock)과 상기 테스트_클럭(test_clock)보다 N배의 빠른 주기를 가지는 클럭(N_bit_clock) 및 하나의 스캔입력단자(Scan-in)를 통하여 입력되는 스캔패턴을 입력받아 N개의 스캔패턴단자(scan pattern1 ~ scan pattern)를 출력하는 스캔데이터발생수단(110)과, 상기 테스트 모드 셋팅신호와 테스트_클럭(test_clock)과 N개의 스캔패턴(scan pattern1 ~ scan pattern)을 각각 입력받아 N개의 스캔출력단자(Scan-out1 ~ Scan-outN)로 각각 출력하는 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)으로 구성된다.

도 3은 도 2의 스캔데이터 발생수단의 구체 회로도이다.

상기 스캔데이터발생수단(110)은 테스트_클럭(test_clock)보다 N배의 빠른 주기를 가지는 클럭(N_bit_clock)을 입력받고 상기 스캔입력단자(Scan-in)를 통하여 입력되는 스캔패턴이 순차적으로 일출력되는 N-1 개의 플립플롭(FF1 ~ FFn-1)과, 상기 입력되는 스캔패턴을 N-1 개의 플립플롭(FF1 ~ FFn-1)의 입력단과 출력 단을 통하여 입력받고 상기 테스트 모드 셋팅신호와 테스트_클럭(test_clock)에 따라 N개의 스캔패턴(scan pattern1 ~ scan pattern)을 출력하는 N-bit 레지스터(111)로 구성된다.

상기 본 발명에 따른 집적회로의 테스트스캔 회로는 다음과 같이 동작한다.

테스트 모드 셋팅신호가 인가되어 N개의 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)을 테스트 모드로 셋팅한다.

상기 스캔데이터발생수단(110)은 테스트_클럭(test_clock)보다 N배의 빠른 주기를 가지는 클럭(N_bit_clock)에 따라 스캔입력단자(Scan-in)를 통하여 순차적으로 입력되는 스캔패턴이 N-1 개의 플립플롭(FF1 ~ FFn-1)을 거쳐 N-bit 레지스터(111)에 저장된 후 테스트_클럭(test_clock)이 인가되어 상기 N-bit 레지스터(111)에 저장된 N개의 스캔패턴(scan pattern1 ~ scan pattern)을 출력한다.

상기 테스트_클럭(test_clock)이 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)의 멀티플렉스 플립플롭(multiplex flip-flop)의 수 만큼의 인가되어 상기 스캔데이터발생수단(110)에서 출력되는 N개의 스캔패턴(scan pattern1 ~ scan pattern)이 상기 각각의 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)에 세팅된다.

이후 테스트_클럭(test_clock)이 인가되어 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)의 모든 멀티플렉스 플립플롭(multiplex flip-flop)은 입력된 각각의 스캔패턴이 저장된다.

이후 테스트_클럭(test_clock)이 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)의 멀티플렉스 플립플롭(multiplex flip-flop)의 수 만큼의 인가되어 상기 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)저장된 스캔패턴은 N개의 스캔출력단자(Scan-out1 ~ Scan-outN)로 각각 출력된다.

또한 상기 스캔패턴이 출력되는 동안 또 다른 스캔패턴이 N개의 스캔입력단자(Scan-in1 ~ Scan-inN)를 통하여 입력되어 상기 각각의 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)에 세팅된다.

상기 출력되는 스캔패턴은 외부의 장치를 통하여 미리 가지고 있던 결과 값과 비교된다.

상기 동작은 연속적으로 일어난다.

즉 스캔체인(Scan-chain)의 수가 증가하더라도 상기 스캔데이터발생수단(110)의 플립플롭(FF)의 수와 레지스터의 bit 수 그리고 클럭(N_bit_clock)의 주기를 조정하여 하나의 스캔입력단자(Scan-in)만으로 종래의 장치와 같은 동작을 구현할 수 있다.

발명의 효과

따라서, 본 발명에 따른 집적회로의 테스트스캔 회로는 스캔체인의 수에 관계없이 스캔패턴을 입력받는 스캔입력단자들 하나만으로 구성할 수 있는 잇점을 가진다.

(57) 청구의 범위

청구항1

데스트인에이블단자(test_enable)를 통하여 입력되는 테스트 모드 셋팅신호와 N개의 스캔입력단자(Scan-in1 ~ Scan-inN)를 통하여 입력되는 N개의 스캔패턴과 테스트_클럭(test_clock)을 각각 입력받아 입력된 스캔패턴을 N개의 스캔출력단자(Scan-out1 ~ Scan-outN)로 각각 출력하는 제 1 ~ 제 N 스캔체인(Scan-chain1 ~ Scan-chainN)으로 구성된 집적회로의 테스트스캔 회로에 있어서,

상기 데스트인에이블단자(test_enable)를 통하여 입력되는 테스트 모드 셋팅신호와 테스트_클럭(test_clock)과 상기 테스트_클럭(test_clock)보다 N배의 빠른 주기를 가지는 클럭(N_bit_clock) 및 하나의 스캔입력단자(Scan-in)를 통하여 입력되는 한 개의 스캔패턴을 N개의 스캔패턴으로 출력하는 스캔데이터발생수단을 추가하여 스캔패턴을 입력받는 스캔입력단자를 하나를 가지는 것이 특징인 집적회로의 테스트스캔 회로.

청구항2

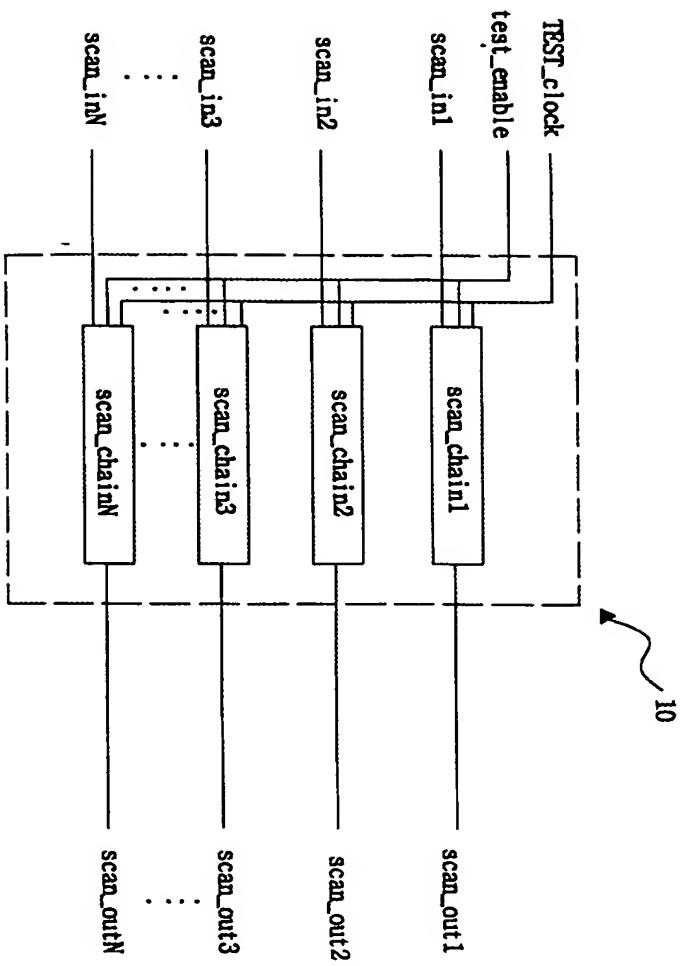
청구항 1에 있어서, 상기 스캔데이터발생수단은

테스트_클럭(test_clock)보다 N배의 빠른 주기를 가지는 클럭(N_bit_clock)을 입력받고 상기 스캔입력단자(Scan-in)를 통하여 연속적으로 입력되는 스캔패턴이 순차적으로 일출력되는 N-1 개의 플립플롭(FF1 ~ FF_{N-1})과,

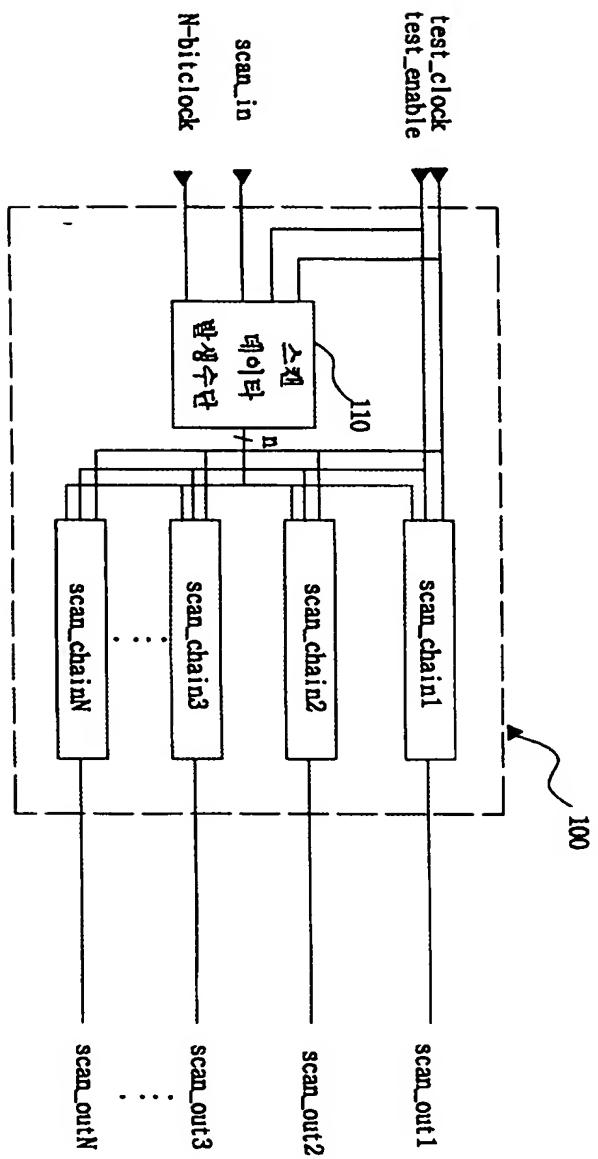
상기 입력되는 스캔패턴을 N-1 개의 플립플롭(FF1 ~ FF_{N-1})의 입력단과 출력 단을 통하여 입력받고 상기 테스트 모드 셋팅신호와 테스트_클럭(test_clock)에 따라 N개의 스캔패턴(scan pattern1 ~ scan pattern)을 각각 출력하는 N-bit 레지스터로 구성된 것이 특징인 집적회로의 테스트스캔 회로.

도면

도면1



472



도면3

